

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 54-080024

(43)Date of publication of application : 26.06.1979

(51)Int.Cl. H04N 1/40
H04N 5/16

(21)Application number : 52-147663

(71)Applicant : RICOH CO LTD

(22)Date of filing : 08.12.1977

(72)Inventor : MAEDA MAMORU

(54) SHADING CORRECTION SYSTEM

(57)Abstract:

PURPOSE: To realize the high-accuracy shading correction through a simple constitution by reading the representative value of each block from the memory unit and delivering the signal containing no shading signal between the adjacent representative value via the signals approximate to each other with the straight line.

CONSTITUTION: The white reflective plate is picked up previously, and shading signal (a) is applied to input terminal IN. The video period contained in one scanning period is divided into more than one part of blocks, and the representative value of the shading amount is drawn out with every block at the beginning of the pickup. And the A/D-converted signal is detected/memorized (3). Then the representative value of each block is read out from memory 3 when the actual picture signal a' is read out, and the correction is given to the video signal between the adjacent representative value via the signals approximate to each other with the straight line to deliver the signal containing no shading. Thus, the high-accuracy shading correction becomes possible through a simple constitution.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑯日本国特許庁(JP)
⑰公開特許公報(A)

⑪特許出願公開
昭54-80024

⑬Int. Cl.²
H 04 N 1/40
H 04 N 5/16

識別記号 101
97(3) B 2
97(5) D 1

⑭日本分類
97(3) B 2
97(5) D 1

⑮内整理番号 6538-5C
6940-5C

⑯公開 昭和54年(1979)6月26日
発明の数 1
審査請求 未請求

(全 3 頁)

⑲シェーディング補正方式

⑳特 許 願 昭52-147663
㉑出 許 願 昭52(1977)12月8日
㉒發 明 者 前田謙

東京都大田区中馬込1丁目3番
6号 株式会社リコー内

㉓出 許 人 株式会社リコー
東京都大田区中馬込1の3の6
㉔代 理 人 弁理士 猪股清 外3名

明細書

発明の名称 シェーディング補正方式

特許請求の範囲

/走査期間に含まれる映像期間を複数のブロックに分割し、撮像の始めに各ブロック毎のシェーディング量の代表値を検出記憶し、画像読み取時に各ブロックの代表値を読み出し、隣接する代表値間を直線で近似した信号を用いて映像信号を補正し、シェーディング成分を除去することを特徴とするシェーディング補正方式。

発明の詳細な説明

この発明はシェーディング補正方式に係り、とくにファクシミリ信号等の映像信号のシェーディングを補正するためのシェーディング補正方式に関する。

ファクシミリ送信機には大別して機械走査型と固体走査型があり、機械走査型のものとしては、

例えば多数の光学繊維を平面的に1列に並べ、その一方の端面を直線状にして撮像すべき画像と対面させ、他方の端面を円弧状にして該端面を機械的回転走査子で走査するようにした平面走査型ファクシミリ送信機があり、固体走査型のものとしては、例えば行列配置の多数のホトダイオードを有する固体走査子を用い、その上に撮像すべき画像をレンズ系により結像し、固体走査子の各行のホトダイオードを順次にスイッチングするようにした固体走査型ファクシミリ送信機がある。しかし、いずれの型式のファクシミリ送信機であっても、普通の照明法では得られる映像信号は画像全体が一様の白像であっても一定レベルにならず、中央部において高レベル、両端部で低レベルになり、第1圖に示すようなシェーディングが発生する。

従来、上記シェーディングの補正は、撮像すべき画像の照明光を調整する等して光学的に行ったり、特開昭50-143409号公報に示す如く、1走査ラインを複数ブロックに分割し、ブロック毎に

シェーディング量に応じた重み関数を発生させて映像信号の振幅補正を電気的に行なったりしていた。しかし、光学的方法は構成が複雑で大型になるし、またブロック毎にシェーディング量に応じた重み関数を発生させて補正する方法は、具体的なシェーディング量を知るのが困難であり、各ブロックのシェーディング量を1点の値で代表するため、誤差が大きくなってしまう。逆に誤差を小さくしようとすると、1走査ラインを細かく分割しなければならず、ブロックの個数が増加し、構成が複雑化し、調整が困難になる。

この発明は、上記の点に鑑み、簡単な構成で高精度のシェーディング補正が可能なシェーディング補正方式を提供しようとするものである。

以下、この発明に係るシェーディング補正方式の実施例を図面に従って説明する。

第2図において、撮像すべき画像(原稿)の読み取を始める前に、まず予め設置してある白の反射板を撮像して、入力端子INに第3図(a)に示す如きシェーディング信号 α を加える。このシェーディ

モリー出力信号 β はレジスター δ 及び演算器 ϵ に加えられる。そして、レジスター δ で1ブロック期間 T_1 だけ保持されたレジスター出力信号 β は前記演算器 ϵ に加えられるとともに、第1のD/A変換器 η に加えられる。ここで、レジスター出力信号 β が、現在の映像信号位置に対応するブロックのシェーディング量に対応し、前記メモリー出力信号 β が次のブロックのシェーディング量に対応するように同期がとられている。この結果、演算器 ϵ の出力信号 β は、現在読み取中のブロックのシェーディング量と次のブロックのシェーディング量との差をデジタル量で示したものになり、その出力信号 β は第2のD/A変換器 η に加えられ、第3図(b)に示すようなアナログ差信号 g に変換される。このアナログ差信号 g は1ブロック期間 T_1 毎に積分器 δ によって積分される。従って、積分器 δ の出力となる積分出力信号 β は、各ブロックの開始点で0レベルにリセットされた第3図(c)に示す如き波形になり、これは加算器 ϵ に加えられる。これと同時に、第1のD/A変換器 η によって

特開昭54-80024 (2)

イング信号 α はサンプル・ホールド回路 λ に加えられる。ここで、1走査周期 T_1 に含まれる映像時間は、第3図に示すように複数のブロックに分割され、そのサンプル・ホールド回路 λ にエリ各ブロックの始まる時点でのシェーディング信号 α のレベルがサンプル・ホールドされる。すなわち、第3図(d)に示したように各ブロックの始まる時点 t_1, t_2, t_3, t_4, t_5 でのシェーディング信号 α のレベルがサンプル・ホールドされるから、サンプル・ホールド回路 λ の出力信号 β は第3図(d)に示すように1ブロック期間 T_1 毎に値の変化する階段波となる。その出力信号 β は、1ブロック期間 T_1 内にA/D変換器 μ でデジタル信号 β に変換されてメモリー ν に加えられ、ここでブロック位置に応じて記憶される。

以上の様にしてシェーディング信号 α をサンプリングし、デジタル化した信号をメモリー ν に記憶させた後、実際の画像読み取を始める。これと同時に、画像読み取に対応した速度でメモリー ν の内容が先頭のブロックから順次読み出され、そのメ

アノログ量に戻された第3図(e)のシェーディング量を示すアナログ信号 β が加算器 ϵ に加えられる。この結果、加算器 ϵ の加算出力 β は、第3図(f)中点線にて示すものとのシェーディング信号 α を、同図(f)に直線で示すようにサンプリング値の間を横分出力信号 β に対応した直線で補正した近似信号となる。そして、その加算出力 β は割算器 τ に加えられる。一方、実際の画像読み取によるシェーディング成分を含んだ映像信号 α も同時に割算器 τ に加えられ、映像信号 α は加算出力 β により除算される。この結果、映像信号 α は補正され、割算器 τ の出力はシェーディング成分を含まない出力信号 β となる。

以上説明したように、上記実施例によれば、シェーディングが比較的ゆっくり変動することに着目して折れ線近似を行っているので、少ないサンプリング数でシェーディング補正が可能である。このため、簡単な構成で高精度の補正ができる。

なお、上記実施例では割算器 τ を用いたが、代わりに減算器を用いることができる。

紙上の様に、この発明によれば、簡単な構成で高精度のシェーディング補正が可能なシェーディング補正方式を得る。

図面の簡単な説明

第1図はシェーディング信号の1例を示す波形図。第2図はこの発明に係るシェーディング補正方式の実施例を示すブロック図。第3図(A)乃至(H)は実施例の作用を示す波形図である。

1…サンプルホールド回路、2…A/D変換器、3…メモリー、4…レジスター、5…D/A変換器、6…減算器、7…積分器、8…加算器、10…割算器。

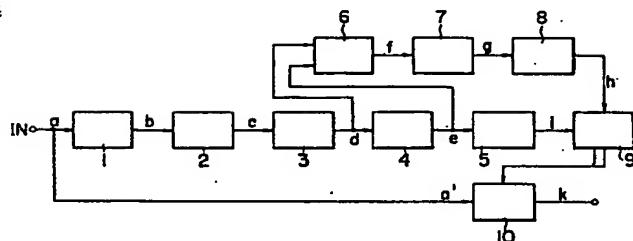
出願人代理人 諸 股 清

特開昭54-80024(3)

第1図



第2図



第3図

